

대한민국 특허청  
KOREAN INDUSTRIAL  
PROPERTY OFFICE

11044 U.S. PRO  
09/801048  
03/08/01

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Industrial  
Property Office.

출원번호 : 특허출원 2000년 제 45452 호  
Application Number

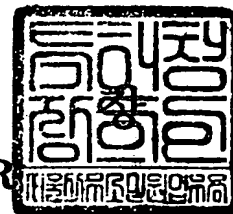
출원년월일 : 2000년 08월 05일  
Date of Application

출원인 : 삼성전자 주식회사  
Applicant(s)

2001 년 01 월 02 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2000.08.05
【국제특허분류】	G06F
【발명의 명칭】	버스 시스템 및 그 커맨드 전달방법
【발명의 영문명칭】	Bus system and command delivering method thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	조혁근
【대리인코드】	9-1998-000544-0
【포괄위임등록번호】	2000-002820-3
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2000-002816-9
【발명자】	
【성명의 국문표기】	김진수
【성명의 영문표기】	KIM, Jin Soo
【주민등록번호】	720326-1100421
【우편번호】	442-070
【주소】	경기도 수원시 팔달구 인계동 553-9 송원주택 4동 103호
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 필 (인) 대리인 조혁근 (인) 대리인 이해영 (인)

**【수수료】**

【기본출원료】 20 면 29,000 원

【가산출원료】 4 면 4,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 33,000 원

【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은, 버스 시스템 및 그 커맨드 전달방법에 관한 것이다.

본 발명에 따른 커맨드 전달방법은, 마스터 디바이스와, 적어도 두 개의 슬레이브 디바이스를 구비한 버스 시스템의 커맨드 전달방법에 있어서, (a) 제1 슬레이브 디바이스로 상기 마스터 디바이스로부터의 제1 커맨드를 전달하는 단계; 및 (b) 상기 제1 슬레이브 디바이스의 상기 제1 커맨드에 따른 데이터전송이 완료되는 시점으로부터, 제2 슬레이브 디바이스의 레이턴시 타임(latency time)이하 만큼 소급된 시점에서 상기 제2 슬레이브 디바이스로 제2 커맨드를 전달하는 단계를 포함하는 것을 특징으로 한다. 이에 의하여, 본 발명에 따르면, 슬레이브 디바이스의 레이턴시 타임을 동일하게 만들어 줌으로써, 레이턴시 타임의 차이로 인해 야기되는 데이터버스의 아이들클럭을 감소시킬 수 있고, 데이터버스에서의 데이터의 충돌을 방지할 수 있게 된다.

**【대표도】**

도 5

**【명세서】****【발명의 명칭】**

버스 시스템 및 그 커맨드 전달방법{Bus system and command delivering method thereof}

**【도면의 간단한 설명】**

도 1은 본 발명의 바람직한 실시예에 따른 버스 시스템의 개략도,

도 2는 마스터 디바이스(11,12)와 슬레이브 디바이스(21)인 메모리와의 커맨드 전달순서를 설명하기 위한 블록도,

도 3은 마스터 디바이스(11,12)와 슬레이브 디바이스(22)인 연산기와의 커맨드 전달순서를 설명하기 위한 블록도,

도 4는 본 발명의 바람직한 실시예에 따른 커맨드 전달방법을 설명하기 위한 플로우차트,

도 5는 도 4의 커맨드 전달방법을 나타낸 타임 블록도,

도 6은 종래 슬레이브 디바이스로의 커맨드가 전달되는 과정을 설명하기 위한 타임 블록도이다.

**< 도면의 주요 부분에 대한 부호의 설명 >**

3: 의사 지연기      11,12: 마스터 디바이스

21,22,23: 슬레이브 디바이스    31: 저장부

211: 메모리 제어기    212: 메모리 디바이스

221: 연산 제어기      222: 연산 디바이스

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <12> 본 발명은, 버스 시스템 및 그 커맨드 전달방법에 관한 것으로, 보다 상세하게는, 레이턴시 타임(latency time)을 갖는 슬레이브 디바이스에 커맨드를 전달함에 있어서 상기 레이턴시 타임 이하의 시간만큼 소급된 시점에서 전달하거나, 탑재된 모든 슬레이브 디바이스의 레이턴시 타임이 같아지도록 소정 시간 지연시켜 전달함으로써 데이터버스의 효율을 높이기 위한 버스 시스템 및 그 커맨드 전달방법에 관한 것이다.
- <13> 복수의 마스터 디바이스와 슬레이브 디바이스를 포함한 버스 시스템은 버스의 공유를 위해 일반적으로 중재기를 채용한다. 중재기는 소정 중재알고리즘에 따라 마스터 디바이스에게 버스의 소유권을 허여하고, 버스의 소유권을 넘겨받은 마스터 디바이스는 데이터 전송이 완료될 때까지 버스의 사용권을 독점하게 된다. 여기서, 버스는 어드레스 및 제어정보를 전송하기 위한 어드레스/제어버스와 데이터를 전송하기 위한 데이터버스를 포함한다.
- <14> 슬레이브 디바이스가 메모리인 경우, 슬레이브 디바이스는 데이터를 저장하기 위한 메모리 디바이스와 상기 메모리 디바이스를 제어하기 위한 슬레이브 제어기로서 메모리 제어기를 포함하며, 마스터 디바이스에서 메모리 제어기로 커맨드를 출력하면, 메모리 제어기는 메모리 디바이스에 액세스하기 위한 준비과정을 거쳐, 메모리 디바이스로 대응 제어신호를 출력한다.
- <15> 도 6은 슬레이브 디바이스의 하나인 메모리로의 종래 커맨드가 전달되는 과정을 설

명하기 위한 타임 블록도이다.

<16> 도 6을 참조하면, 마스터 실행 사이클, 메모리 제어기 실행 사이클, 및 메모리 디바이스 실행 사이클이 표시되어 있다. 마스터 실행 사이클은, 마스터 디바이스가 메모리 제어기로 커맨드를 출력하는 시점부터 메모리 제어기로부터 커맨드의 실행완료-데이터 전송완료-를 통지받는 시점까지를 의미한다. 메모리 제어기 실행 사이클은 마스터 디바이스로부터 출력된 커맨드를 수신하고 메모리 제어기의 레이턴시 타임 동안 소정 준비과정을 거친 다음 메모리 디바이스로 제어신호를 출력하는 시점부터 데이터 전송이 완료되는 시점까지를 의미한다. 메모리 디바이스 실행 사이클은 메모리 디바이스의 레이턴시 타임 동안 소정 준비과정을 거친 다음 데이터의 전송이 시작되는 시점부터 데이터의 전송이 완료되는 시점까지를 가리킨다.

<17> 도 6을 참조하여, 최근 버스 시스템에 채용되고 있는 SDRAM과 같은 메모리에 대한 커맨드의 전달과정을 보다 구체적으로 설명하면 다음과 같다. 마스터 디바이스로부터 메모리 제어기인 SDRAM 제어기로 어드레스, 리드/라이트 플래그, 버스트 길이(burst length) 등 데이터 전송에 필요한 정보를 포함한 커맨드가 입력되면, SDRAM 제어기는 상기 커맨드로부터 데이터전송을 위해 필요한 정보를 추출하고 해당 제어신호를 SDRAM으로 출력한다. SDRAM 제어기로부터의 제어신호를 입력받은 SDRAM은 어드레스 디코딩 등 일련의 준비과정을 거쳐 소정 메모리뱅크의 메모리셀에 액세스하고, 이에 따라 데이터버스를 통해 데이터가 출력되거나 입력되는 데이터전송이 이루어지게 된다. 이처럼 SDRAM에 액세스하기 위해서는, SDRAM 제어기에서의 준비과정이 반드시 필요하다. SDRAM 제어기에 의한 준비과정이 진행되는 동안은, 실제 데이터의 전송이 지연된다는 의미에서 레이턴시 타임(latency time)이라고 한다. 도 6을 참조하면, 레이턴시 타임은 마스터 디바

이으로부터 커맨드가 출력된 시점에서부터 슬레이브 제어기로부터 제어신호가 출력되는 시점까지를 「슬레이브 제어기 레이턴시」로, 슬레이브 제어기로부터 제어신호가 출력되는 시점에서부터 메모리 디바이스로부터 데이터가 출력되는 시점까지를 「메모리 디바이스 레이턴시」로 세분화되어 표시되어 있다.

<18> 한편, 데이터의 전송이 완료되면 SDRAM 제어기는 마스터 디바이스로 상기 커맨드의 실행완료통지를 통지한다. 마스터 디바이스는 SDRAM 제어기로부터 실행완료통지를 통지받은 후에 새로운 커맨드를 출력한다. 새로운 커맨드에 따른 데이터의 전송은 전술한 바와 같은 준비과정을 위한 레이턴시 타임이 경과한 후에 이루어지게 된다.

<19> 결국, SDRAM과 같이 레이턴시 타임을 갖는 슬레이브 디바이스의 경우, 도 6에 도시된 바와 같이, 마스터 디바이스로부터 커맨드가 출력되어 실제로 데이터버스에서 데이터 전송이 시작되기 전까지 데이터버스의 유희사이클(아이들 클럭)이 생기게 되는 바, 이는 데이터버스의 사용효율 및 시스템 성능을 저하시키는 한 원인이 되고 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<20> 따라서, 본 발명의 목적은, 데이터버스의 아이들 클럭을 감소시켜 시스템 전체의 성능을 향상시킬 수 있는 버스 시스템 및 그 커맨드 전달방법을 제공하는 것이다.

#### 【발명의 구성 및 작용】

<21> 상기 목적은, 본 발명에 따라, 마스터 디바이스와, 적어도 두 개의 슬레이브 디바이스를 구비한 버스 시스템의 커맨드 전달방법에 있어서, (a) 제1 슬레이브 디바이스로 상기 마스터 디바이스로부터의 제1 커맨드를 전달하는 단계; 및 (b) 상기 제1 커맨드에 따른 데이터전송이 완료되는 시점으로부터, 제2 슬레이브 디바이스의 레이턴시 타임



(latency time)이하 만큼 소급된 시점에서 상기 제2 슬래이브 디바이스로 제2 커맨드를 전달하는 단계를 포함하는 것을 특징으로 하는 커맨드 전달방법에 의해 달성된다.

<22> 이 때, 상기 (b)단계 이전에, (b1) 상기 제1 슬래이브 디바이스가 상기 데이터전송이 완료되는 시점으로부터 상기 레이턴시 타임 이하 만큼 소급된 시점에서 상기 대응 마스터 디바이스로 데이터전송이 완료되었음을 알리는 의사(pseudo) 실행완료를 통지하는 단계; (b2) 의사 실행완료를 통지받은 상기 대응 마스터 디바이스로부터 상기 제2 슬래이브 디바이스에 대한 상기 제2 커맨드를 수신하는 단계를 더 포함하는 것이 바람직하다.

<23> 상기 슬래이브 디바이스는, 메모리 디바이스와, 상기 메모리 디바이스를 제어하는 슬래이브 제어기를 구비하며, 상기 (a)단계는, (a1) 제1 슬래이브 제어기로 상기 제1 커맨드를 전달하는 단계를 포함하고, 상기 (b)단계는, (b') 상기 제1 커맨드에 따라 제1 메모리 디바이스의 데이터전송이 완료되는 시점으로부터 상기 레이턴시 타임 이하 만큼 소급된 시점에서 상기 제2 슬래이브 디바이스로 상기 제2 커맨드를 전달하는 단계를 포함하는 것이 바람직하다.

<24> 상기 (b')단계 이전에, (b'1) 상기 제1 슬래이브 제어기가 상기 데이터전송이 완료되는 시점으로부터 상기 레이턴시 타임 이하 만큼 소급된 시점에서 상기 대응 마스터 디바이스로 데이터전송이 완료되었음을 알리는 의사(pseudo) 실행완료를 통지하는 단계; (b'2) 의사 실행완료를 통지받은 상기 대응 마스터 디바이스로부터 상기 제2 슬래이브 디바이스에 대한 상기 제2 커맨드를 수신하는 단계를 더 포함하는 것이 바람직하다.

<25> 그리고, 상기 메모리 디바이스는, SDRAM(Synchronous Dynamic RAM)이며, 상기 슬래이브 제어기는, SDRAM 컨트롤러인 것이 바람직하다.

<26> 또한, 상기 목적은, 마스터 디바이스와, 적어도 두 개의 슬레이브 디바이스를 구비하고, 상기 슬레이브 디바이스 중 적어도 하나는 레이턴시 타임(latency time)을 갖는 버스 시스템의 커맨드 전달방법에 있어서, (e) 상기 레이턴시 타임 중 가장 긴 레이턴시 타임과, 상기 각 슬레이브 디바이스의 레이턴시 타임과의 차이값을 마련하는 단계; (f) 상기 마스터 디바이스로부터의 제1 슬레이브 디바이스에 대한 제1 커맨드를 전달받는 단계; 및 (g) 상기 제1 슬레이브 디바이스에 대한 대응 차이값에 해당되는 시간이 경과된 후 상기 제1 커맨드를 상기 제1 슬레이브 디바이스로 전달하는 단계를 포함하는 것을 특징으로 하는 커맨드 전달방법에 의해서도 달성된다.

<27> 한편, 본 발명의 다른 분야에 따르면, 상기 목적은, 마스터 디바이스와, 적어도 두 개의 슬레이브 디바이스를 구비하고, 상기 슬레이브 디바이스 중 적어도 하나는 레이턴시 타임(latency time)을 갖는 버스 시스템에 있어서, 상기 마스터 디바이스로부터의 제1 커맨드를 제1 슬레이브 디바이스로 전달하고, 상기 제1 슬레이브 디바이스의 상기 제1 커맨드에 따른 데이터전송이 완료되는 시점으로부터, 상기 제2 슬레이브 디바이스의 레이턴시 타임 이하 만큼 소급된 시점에서 제2 슬레이브 디바이스로 제2 커맨드를 전달하기 위한 의사 지연기를 포함하는 것을 특징으로 하는 버스 시스템에 의해서도 달성된다.

<28> 여기서, 상기 제1 슬레이브 디바이스는, 상기 제1 커맨드에 따른 데이터전송이 완료되는 시점으로부터 상기 제2 슬레이브 디바이스의 레이턴시 타임 이하 만큼 소급된 시점에서 상기 대응 마스터 디바이스로 의사(pseudo) 실행완료를 통지하고, 상기 대응 마스터 디바이스는, 상기 의사 실행완료가 수신되면 상기 제2 슬레이브 디바이스로 상기 제2 커맨드를 상기 의사 지연기로 전달하는 것을 특징으로 하는 버스 시스템에 의해서도

달성된다.

<29>       상기 슬레이브 디바이스는, 상기 레이턴시 타임을 갖는 메모리 디바이스와, 상기 메모리 디바이스를 제어하는 슬레이브 제어기를 구비하며, 상기 의사 지연기는, 상기 제1 슬레이브 제어기로 상기 제1 커맨드를 전달하고, 상기 제1 커맨드에 따른 데이터전송이 완료되는 시점으로부터 상기 레이턴시 타임 이하 만큼 소급된 시점에서 제2 슬레이브 제어기로 제2 커맨드를 전달하는 것이 바람직하다.

<30>       상기 제1 슬레이브 제어기는, 상기 제1 커맨드에 따른 데이터전송이 완료되는 시점으로부터 상기 레이턴시 타임 이하 만큼 소급된 시점에서 상기 대응 마스터 디바이스로 의사(pseudo) 실행완료를 통지하고, 상기 대응 마스터 디바이스는, 상기 의사 실행완료가 수신되면 상기 의사 지연기로 상기 제2 커맨드를 전달하는 것이 바람직하다.

<31>       그리고, 상기 메모리 디바이스는, SDRAM(Synchronous Dynamic RAM)이며, 상기 슬레이브 제어기는, SDRAM 컨트롤러인 것이 더욱 바람직하다.

<32>       또한, 마스터 디바이스와, 적어도 두 개의 슬레이브 디바이스를 구비하고, 상기 슬레이브 디바이스 중 적어도 하나는 레이턴시 타임(latency time)을 갖는 버스 시스템에 있어서, 상기 레이턴시 타임 중 가장 긴 레이턴시 타임과, 상기 각 슬레이브 디바이스의 레이턴시 타임과의 차(difference) 클럭수인 지연클럭수가 저장된 저장부를 구비하고, 상기 마스터 디바이스로부터의 제1 슬레이브 디바이스에 대한 제1 커맨드를 전달받아, 상기 제1 슬레이브 디바이스에 대응되도록 상기 저장부에 저장된 지연클럭수가 경과된 후 상기 제1 커맨드를 상기 제1 슬레이브 디바이스로 전달하는 의사 지연기를 포함하는 것을 특징으로 하는 버스 시스템에 의해서도 달성된다.

- <33> 이하 첨부도면을 참조하여 본 발명의 바람직한 실시예에 대해 상세히 설명한다.
- <34> 도 1은 본 발명의 바람직한 실시예에 따른 버스 시스템의 개략도이다.
- <35> 도 1을 참조하면, 버스 시스템은, 적어도 하나의 마스터 디바이스(11,12), 복수의 슬레이브 디바이스(21,22,23), 및 의사 지연기(Pseudo-Delayer)(3)를 포함한다. 한편, 마스터 디바이스(11,12) 및 슬레이브 디바이스(21,22,23)는, 단순화를 위해 도시않은 데이터버스에 의해 연결되어 있다. 데이터버스는 데이터 전송속도가 서로 다른 메인 데이터버스와 로컬 데이터버스를 포함할 수 있다. 또한, 마스터 디바이스(11,12)와 슬레이브 디바이스(21,22,23)의 사이에는 도시않은 중재기가 연결되어 소정 중재알고리즘에 따라 버스 사용을 중재한다.
- <36> 마스터 디바이스(11,12)는, 일반적으로 프로세서 또는 DMA(Direct Memory Access) 제어기이며, 슬레이브 디바이스(21,22,23)는 일반적으로 RAM, ROM 등의 메모리, 입출력 디바이스, 연산기, 또는 기타 주변장치를 가리킨다. 다만, 슬레이브 디바이스(21,22,23) 중 적어도 하나는 레이턴시 타임(latency time)을 갖는 디바이스인 바, 설명의 편의를 위해 슬레이브 디바이스(21)는 레이턴시 타임을 갖는 메모리이고, 슬레이브 디바이스(22)는 레이턴시 타임을 갖는 연산기로 전제한다. 여기서, 슬레이브 디바이스(21,22) 레이턴시 타임은 서로 같거나 다를 수 있다. 한편, 마스터 디바이스 및 슬레이브 디바이스의 수는 시스템에 따라 다양하게 변경가능하다.
- <37> 의사 지연기(3)는, 본 발명의 바람직한 실시예에 따라 마련된 것으로, 소정 마스터 디바이스(11,12)로부터의 커맨드를 입력받아 소정 수의 클럭이 경과된 후에 대응 슬레이브 디바이스(21,22,23)로 상기 커맨드를 전달한다.

- <38> 한편, 슬레이브 디바이스(21,22,23)는 상기 커맨드에 따른 데이터 전송의 완료시점으로부터 소정 레이턴시 타임에 해당되는 클럭만큼 소급된 시점에 상기 커맨드를 입력 받은 마스터 디바이스(11,12)로 데이터 전송이 완료되었음을 통지하는 의사(pseudo) 실행완료신호를 전송한다. 데이터 전송의 완료시점은 커맨드에 포함된 버스트 길이로부터 알 수 있다. 여기서, 버스트 길이는 버스트 전송되는 데이터의 길이를 의미한다.
- <39> 도 2는 마스터 디바이스(11,12)와 슬레이브 디바이스(21)인 메모리와의 커맨드 전달순서를 설명하기 위한 블록도이다. 다만, 단순화를 위해 마스터 디바이스(11)만을 도시하였다.
- <40> 도 2를 참조하면, 슬레이브 디바이스(21)는 데이터가 저장되는 메모리 디바이스(212)와, 메모리 디바이스(212)를 제어하기 위한 슬레이브 제어기로서 연산기 제어기(211)를 구비한다. 의사 지연기(3)는 슬레이브 디바이스(21,22,23)에 대응되도록 지연 클럭수가 저장되어 있는 저장부(31)를 구비한다. 지연클럭수가 결정되는 방식은 후술한다. 한편, 저장부(31)는 리지스터로 구현될 수 있다.
- <41> 의사 지연기(3)는, 마스터 디바이스(11)로부터 슬레이브 디바이스(21)에 대한 커맨드를 입력받고, 저장부(31)에 저장된 대응 지연클럭수를 참조하여 참조된 지연클럭수가 경과된 이후에 슬레이브 제어기(211)로 상기 커맨드를 전달한다.
- <42> 도 3은 마스터 디바이스(11,12)와 슬레이브 디바이스(22)인 연산기와의 커맨드 전달순서를 설명하기 위한 블록도이다. 다만, 단순화를 위해 마스터 디바이스(11)만을 도시하였다.
- <43> 도 3을 참조하면, 슬레이브 디바이스(22)는 연산을 수행하는 연산

디바이스(222)와, 연산 디바이스(222)를 제어하기 위한 슬레이브 제어기로서 연산 제어기(211)를 구비한다. 도 2에서와 마찬가지로, 의사 지연기(3)는, 마스터 디바이스(11)로부터 슬레이브 디바이스(22)에 대한 커맨드를 입력받고, 저장부(31)에 저장된 대응 지연클럭수를 참조하여 참조된 지연클럭수가 경과된 이후에 슬레이브 제어기(221)로 상기 커맨드를 전달한다.

<44> 지연클럭수는, 슬레이브 디바이스(21,22,23)의 레이턴시 타임으로부터 결정된다. 예를 들어, 버스 시스템의 총 슬레이브 디바이스의 수가 3이고, 레이턴시 타임이 각각 5클럭, 6클럭, 4클럭이라면, 지연클럭수는 순서대로 1클럭, 0클럭, 2클럭이 된다. 즉, 지연클럭수는 가장 긴 레이턴시 타임과의 차(Difference) 클럭수가 된다. 이처럼, 의사 지연기(3)는 모든 슬레이브 디바이스(21,22,23)의 레이턴시 타임을 6 클럭으로 동일하게 만들어 주는 역할을 하게 된다.

<45> 한편, 버스트 길이가 4 라면, 데이터 4 개가 연속적으로 전송됨을 알 수 있으므로, 슬레이브 디바이스(21,22,23)는 데이터 전송의 완료시점으로부터 전송한 레이턴시 타임 6 클럭만큼 소급된 시점에서 대응 마스터 디바이스(11,12)로 의사(pseudo) 실행완료를 통지한다.

<46> 상기와 같은 구성에 따라 본 발명의 바람직한 실시예에 따른 커맨드 전달방법을 개략적으로 설명하면 다음과 같다.

<47> 도 4는 커맨드 전달방법을 설명하기 위한 플로우차트이다.

<48> 도 4를 참조하면, 의사 지연기(3)는 마스터 디바이스(11,12)로부터 소정 슬레이브 디바이스(21,22, 또는 23)에 대한 커맨드를 수신한다(401단계).

- <49> 다음으로, 수신된 커맨드에 대한 슬레이브 디바이스(21,22,23)에 대응되는 지연클럭수를 저장부(31)로부터 참조한다(402단계).
- <50> 참조한 지연클럭수가 경과된 후, 의사 지연기(3)는 상기 커맨드를 대응 슬레이브 디바이스(21,22, 또는 23)로 전달한다(403단계).
- <51> 마지막으로, 커맨드를 수신한 상기 슬레이브 디바이스(21,22, 또는 23)는 상기 커맨드에 포함된 버스트 길이로부터 데이터전송의 완료시점을 알아내고, 완료시점으로부터 레이턴시 타임에 해당되는 클럭만큼 소급된 시점에서 대응 마스터 디바이스(11,12)로 데이터 전송의 의사 실행완료를 통지한다(404단계).
- <52> 도 5는 도 4의 커맨드 전달방법을 나타낸 타임 블록도이다.
- <53> 도 5를 참조하면, 먼저 슬레이브 디바이스(21)로 커맨드가 전달되고, 다음으로 슬레이브 디바이스(22)로 커맨드가 전달됨을 알 수 있다. 의사 지연기(3)는 슬레이브 디바이스(21)의 데이터전송이 완료되는 시점으로부터 레이턴시 타임(연산 제어기 레이턴시+연산 디바이스 레이턴시)만큼 소급하여 커맨드의 의사 실행완료를 통지한다. 또한, 의사 지연기(3)는 커맨드를 메모리 제어기(211) 또는 연산 제어기(221)로 전달함에 있어 레이턴시 타임이 같아지도록 필요한 지연클럭수 만큼 지연전달한다. 이에, '마스터 실행 사이클1'과 '데이터 전송1'을 잇는 직선의 기울기(a)와 '마스터 실행 사이클2'와 '데이터 전송2'를 잇는 직선의 기울기(b)는 동일하게 된다.
- <54> 즉, 본 발명에 따르면, 슬레이브 디바이스(21)의 데이터전송(데이터 전송1)과 슬레이브 디바이스(22)의 데이터전송(데이터전송2)가 데이터버스의 아이들클럭없이 연속적으로 수행됨을 확인할 수 있다.

<55> 한편, 전술한 실시예에서는 서로 다른 레이턴시 타임을 갖는 두 개의 슬래이브 디바이스에 대해 설명하였으나, 슬래이브 디바이스의 수가 다른 경우에도 마찬가지로 방법이 적용가능함은 물론이다. 즉, 3개 이상의 레이턴시 타임 중 가장 큰 레이턴시 타임을 갖도록 커맨드를 지연시켜 전달하는 방법에 따른다. 레이턴시 타임을 통일시킴으로써 마스터 디바이스의 커맨드 출력시점과 데이터버스에서의 데이터전송시점을 잇는 직선의 기울기를 같게 만들 수 있고, 이에 따라 데이터버스의 아이들 클럭없이 연속적인 데이터 전송이 가능해지므로 전체적인 시스템 효율이 향상될 수 있다.

<56> 한편, 전술한 실시예에서와 달리, 의사 지연기는 슬래이브 디바이스(21,22, 23)마다 각각 구비될 수 있다. 이같은 경우라 하더라도, 의사 지연기는 전술한 실시예에서와 마찬가지로 마스터 디바이스(11,12)로부터 커맨드를 수신하여 지연클럭수 만큼 지연출력시키고, 데이터 전송의 완료시점으로부터 소정 클럭수만큼 소급된 시점에서 데이터 전송의 완료를 통지하는 동일한 기능을 수행하나, 대응 슬래이브 디바이스(21,22,23)의 지연클럭수만을 저장하고 참조하면 족하게 된다.

#### 【발명의 효과】

<57> 이상 설명한 바와 같이, 본 발명에 따르면, 슬래이브 디바이스의 레이턴시 타임을 동일하게 만들어 줌으로써, 레이턴시 타임의 차이로 인해 야기되는 데이터버스의 아이들 클럭을 감소시킬 수 있고, 데이터버스에서의 데이터의 충돌을 방지할 수 있게 된다. 특히, 슬래이브 디바이스가 파이프라인 전송을 지원하고 버스트전송이 빈번한 SDRAM과 같은 메모리인 경우 데이터버스의 아이들클럭수가 현저히 감소되어 버스 시스템의 효율이 높아지게 된다.

<58> 더불어, 본 발명에 따르면, 파이프라인 전송을 지원하지 않는 메모리의 경우에도



파이프라인 전송에 유사한 데이터 전송이 가능해질 수 있다. 다시 말해, 의사(pseudo) 실행완료를 통지함으로써 실제 데이터 전송이 완료되지 않은 시점에서 다른 슬레이브 디바이스를 실행하는 것이 가능해지기 때문이다.

**【특허청구범위】****【청구항 1】**

마스터 디바이스와, 적어도 두 개의 슬레이브 디바이스를 구비한 버스 시스템의 커맨드 전달방법에 있어서,

(a) 제1 슬레이브 디바이스로 대응 마스터 디바이스로부터의 제1 커맨드를 전달하는 단계; 및

(b) 상기 제1 커맨드에 따른 데이터전송이 완료되는 시점으로부터, 제2 슬레이브 디바이스의 레이턴시 타임(latency time)이하 만큼 소급된 시점에서 상기 제2 슬레이브 디바이스로 제2 커맨드를 전달하는 단계를 포함하는 것을 특징으로 하는 커맨드 전달방법.

**【청구항 2】**

제1항에 있어서,

상기 (b)단계 이전에,

(b1) 상기 제1 슬레이브 디바이스가 상기 데이터전송이 완료되는 시점으로부터 상기 레이턴시 타임 이하 만큼 소급된 시점에서 상기 대응 마스터 디바이스로 데이터전송이 완료되었음을 알리는 의사(pseudo) 실행완료를 통지하는 단계;

(b2) 의사 실행완료를 통지받은 상기 대응 마스터 디바이스로부터 상기 제2 슬레이브 디바이스에 대한 상기 제2 커맨드를 수신하는 단계를 더 포함하는 것을 특징으로 하는 커맨드 전달방법.

**【청구항 3】**

제1항에 있어서,

상기 슬래이브 디바이스는, 메모리 디바이스와, 상기 메모리 디바이스를 제어하는  
슬래이브 제어기를 구비하며,

상기 (a)단계는,

(a1) 제1 슬래이브 제어기로 상기 제1 커맨드를 전달하는 단계를 포함하고,

상기 (b)단계는,

(b') 상기 제1 커맨드에 따라 제1 메모리 디바이스의 데이터전송이 완료되는 시점  
으로부터 상기 레이턴시 타임 이하 만큼 소급된 시점에서 상기 제2 슬래이브 디바이스로  
상기 제2 커맨드를 전달하는 단계를 포함하는 것을 특징으로 하는 커맨드 전달방법.

**【청구항 4】**

제3항에 있어서,

상기 (b')단계 이전에,

(b'1) 상기 제1 슬래이브 제어기가 상기 데이터전송이 완료되는 시점으로부터 상기  
레이턴시 타임 이하 만큼 소급된 시점에서 상기 대응 마스터 디바이스로 데이터전송이  
완료되었음을 알리는 의사(pseudo) 실행완료를 통지하는 단계;

(b'2) 의사 실행완료를 통지받은 상기 대응 마스터 디바이스로부터 상기 제2 슬래  
이브 디바이스에 대한 상기 제2 커맨드를 수신하는 단계를 더 포함하는 것을 특징으로  
하는 커맨드 전달방법.

**【청구항 5】**

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 메모리 디바이스는, SDRAM(Synchronous Dynamic RAM)이고,

상기 슬레이브 제어기는, SDRAM 컨트롤러인 것을 특징으로 하는 커맨드 전달방법.

**【청구항 6】**

마스터 디바이스와, 적어도 두 개의 슬레이브 디바이스를 구비하고, 상기 슬레이브 디바이스 중 적어도 하나는 레이턴시 타임(latency time)을 갖는 버스 시스템의 커맨드 전달방법에 있어서,

(e) 상기 레이턴시 타임 중 가장 긴 레이턴시 타임과, 상기 각 슬레이브 디바이스의 레이턴시 타임과의 차이값을 마련하는 단계;

(f) 상기 마스터 디바이스로부터의 제1 슬레이브 디바이스에 대한 제1 커맨드를 전달받는 단계; 및

(g) 상기 제1 슬레이브 디바이스에 대한 대응 차이값에 해당되는 시간이 경과된 후 상기 제1 커맨드를 상기 제1 슬레이브 디바이스로 전달하는 단계를 포함하는 것을 특징으로 하는 커맨드 전달방법.

**【청구항 7】**

마스터 디바이스와, 적어도 두 개의 슬레이브 디바이스를 구비하고, 상기 슬레이브 디바이스 중 적어도 하나는 레이턴시 타임(latency time)을 갖는 버스 시스템에 있어서

상기 마스터 디바이스로부터의 제1 커맨드를 제1 슬레이브 디바이스로 전달하고, 상기 제1 슬레이브 디바이스의 상기 제1 커맨드에 따른 데이터전송이 완료되는 시점으로부터, 상기 제2 슬레이브 디바이스의 레이턴시 타임 이하 만큼 소급된 시점에서 제2 슬레이브 디바이스로 제2 커맨드를 전달하기 위한 의사 지연기를 포함하는 것을 특징으로 하는 버스 시스템.

**【청구항 8】**

제7항에 있어서,

상기 제1 슬레이브 디바이스는, 상기 제1 커맨드에 따른 데이터전송이 완료되는 시점으로부터 상기 제2 슬레이브 디바이스의 레이턴시 타임 이하 만큼 소급된 시점에서 상기 대응 마스터 디바이스로 의사(pseudo) 실행완료를 통지하고,

상기 대응 마스터 디바이스는, 상기 의사 실행완료가 수신되면 상기 제2 슬레이브 디바이스로 상기 제2 커맨드를 상기 의사 지연기로 전달하는 것을 특징으로 하는 버스 시스템.

**【청구항 9】**

제7항에 있어서,

상기 슬레이브 디바이스는, 상기 레이턴시 타임을 갖는 메모리 디바이스와, 상기 메모리 디바이스를 제어하는 슬레이브 제어기를 구비하며,

상기 의사 지연기는,

상기 제1 슬레이브 제어기로 상기 제1 커맨드를 전달하고, 상기 제1 커맨드에 따른

데이터전송이 완료되는 시점으로부터 상기 레이턴시 타임 이하 만큼 소급된 시점에서 제2 슬래이브 제어기로 제2 커맨드를 전달하는 것을 특징으로 하는 버스 시스템.

**【청구항 10】**

제9항에 있어서,

상기 제1 슬래이브 제어기는, 상기 제1 커맨드에 따른 데이터전송이 완료되는 시점으로부터 상기 레이턴시 타임 이하 만큼 소급된 시점에서 상기 대응 마스터 디바이스로 의사(pseudo) 실행완료를 통지하고,

상기 대응 마스터 디바이스는, 상기 의사 실행완료가 수신되면 상기 의사 지연기로 상기 제2 커맨드를 전달하는 것을 특징으로 하는 버스 시스템.

**【청구항 11】**

제7항 내지 제10항 중 어느 한 항에 있어서,

상기 메모리 디바이스는, SDRAM(Synchronous Dynamic RAM)이고,

상기 슬래이브 제어기는, SDRAM 컨트롤러인 것을 특징으로 하는 버스 시스템.

**【청구항 12】**

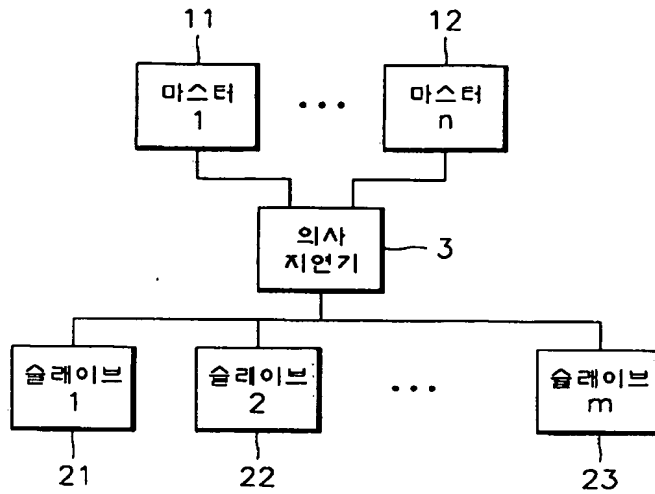
마스터 디바이스와, 적어도 두 개의 슬래이브 디바이스를 구비하고, 상기 슬래이브 디바이스 중 적어도 하나는 레이턴시 타임(latency time)을 갖는 버스 시스템에 있어서,

상기 레이턴시 타임 중 가장 긴 레이턴시 타임과, 상기 각 슬래이브 디바이스의 레이턴시 타임과의 차(difference) 클럭수인 지연클럭수가 저장된 저장부를 구비하고, 상기 마스터 디바이스로부터의 제1 슬래이브 디바이스에 대한 제1 커맨드를 전달받아, 상기 제1 슬래이브 디바이스에 대응되도록 상기 저장부에 저장된 지연클럭수가 경과된 후

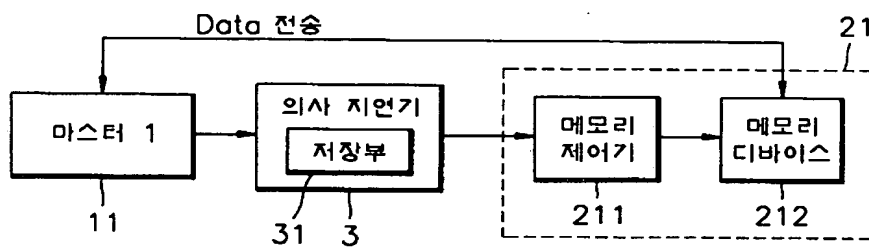
상기 제1 커맨드를 상기 제1 슬레이브 디바이스로 전달하는 의사 지연기를 포함하는 것을 특징으로 하는 버스 시스템.

## 【도면】

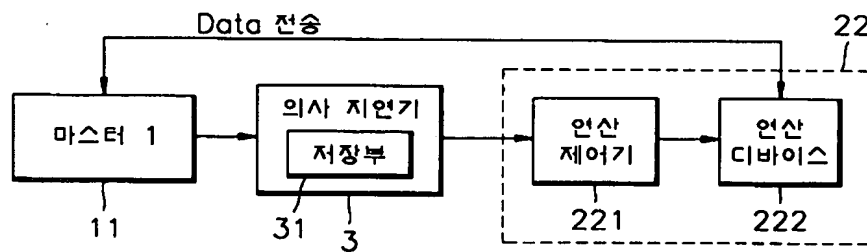
【도 1】



【도 2】

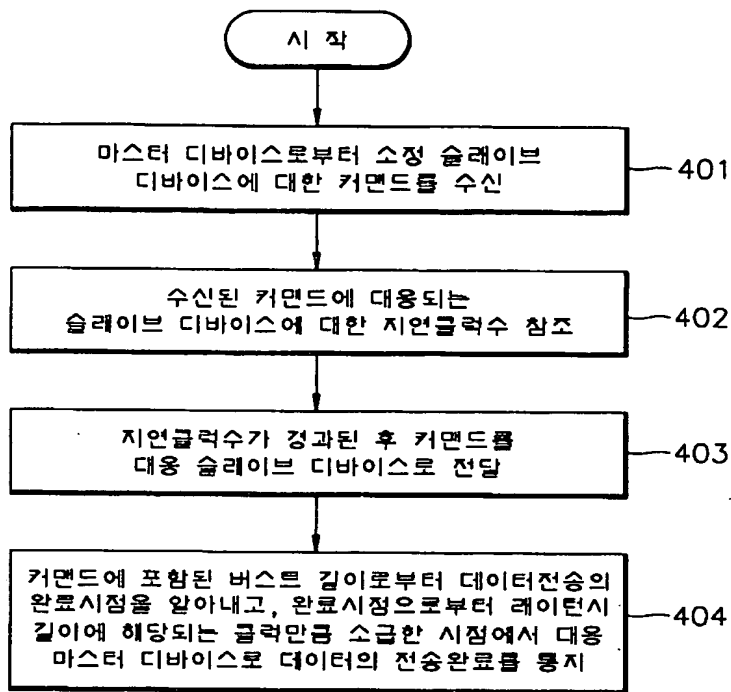


【도 3】

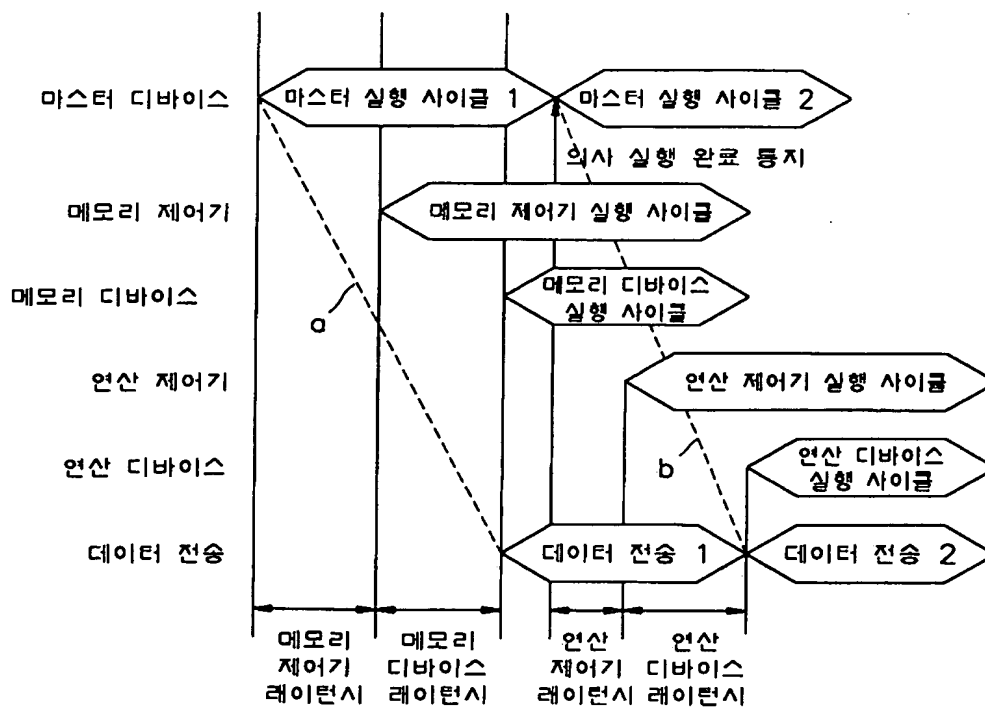




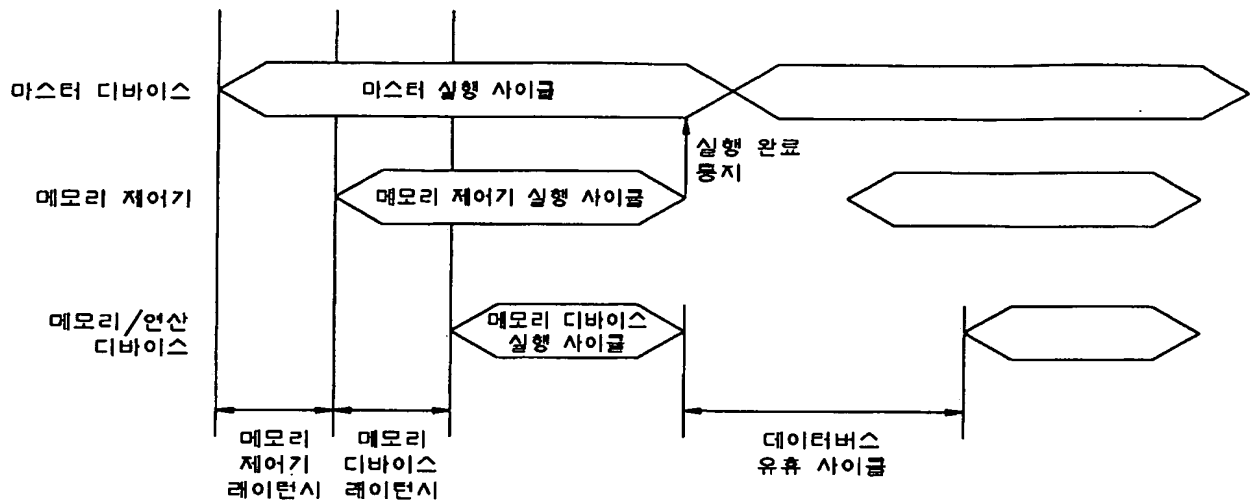
【도 4】



【도 5】



【도 6】



【서류명】	명세서 등 보정서
【수신처】	특허청장
【제출일자】	2000. 10. 05
【제출인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【사건과의 관계】	출원인
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【사건의 표시】	
【출원번호】	10-2000-0045452
【출원일자】	2000. 08. 05
【발명의 명칭】	버스 시스템 및 그 커맨드 전달방법
【제출원인】	
【접수번호】	1-1-00-0164763-01
【접수일자】	2000. 08. 05
【보정할 서류】	명세서등
【보정할 사항】	
【보정대상 항목】	별지와 같음
【보정방법】	별지와 같음
【보정내용】	별지와 같음
【취지】	특허법시행규칙 제13조의 규정에 의하여 위와 같이 제출합니다. 대리인 이영필 (인)
【수수료】	
【보정료】	0 원
【추가심사청구료】	0 원
【기타 수수료】	0 원
【합계】	0 원
【첨부서류】	1. 기타첨부서류_1통[보정내용]

【보정대상항목】 식별번호 40

【보정방법】 정정

【보정내용】

도 2를 참조하면, 슬레이브 디바이스(21)는 데이터가 저장되는 메모리 디바이스(212)와, 메모리 디바이스(212)를 제어하기 위한 슬레이브 제어기로서 메모리 제어기(211)를 구비한다. 의사 지연기(3)는 슬레이브 디바이스(21,22,23)에 대응되도록 지연클럭수가 저장되어 있는 저장부(31)를 구비한다. 지연클럭수가 결정되는 방식은 후술한다. 한편, 저장부(31)는 리지스터로 구현될 수 있다.

【보정대상항목】 식별번호 41

【보정방법】 정정

【보정내용】

의사 지연기(3)는, 마스터 디바이스(11)로부터 슬레이브 디바이스(21)에 대한 커맨드를 입력받고, 저장부(31)에 저장된 대응 지연클럭수를 참조하여 참조된 지연클럭수가 경과된 이후에 메모리 제어기(211)로 상기 커맨드를 전달한다.

【보정대상항목】 식별번호 43

【보정방법】 정정

【보정내용】

도 3을 참조하면, 슬레이브 디바이스(22)는 연산을 수행하는 연산 디바이스(222)와, 연산 디바이스(222)를 제어하기 위한 슬레이브 제어기로서 연산 제어기(211)를 구비한다. 도 2에서와 마찬가지로, 의사 지연기(3)는, 마스터 디바이스(11)로부터 슬레이브

디바이스(22)에 대한 커맨드를 입력받고, 저장부(31)에 저장된 대응 지연클럭수를 참조하여 참조된 지연클럭수가 경과된 이후에 연산 제어기(221)로 상기 커맨드를 전달한다.

【보정대상항목】 식별번호 45

【보정방법】 정정

【보정내용】

한편, 버스트 길이가 4 라면, 데이터 4 개가 연속적으로 전송됨을 알 수 있으므로, 슬레이브 디바이스(21,22,23)는 데이터 4개의 전송이 완료되는 시점으로부터 전송한 레이턴시 타임 6 클럭만큼 소급된 시점에서 대응 마스터 디바이스(11,12)로 의사(pseudo) 실행완료를 통지한다.

【보정대상항목】 식별번호 51

【보정방법】 정정

【보정내용】

마지막으로, 커맨드를 수신한 상기 슬레이브 디바이스(21,22, 또는 23)는 상기 커맨드에 포함된 버스트 길이로부터 데이터전송의 완료시점을 알아내고, 완료시점으로부터 레이턴시 타임에 해당되는 클럭만큼 소급된 시점에서 대응 마스터 디바이스(11,12)로 데이터 전송의 의사 실행완료를 통지한다(404단계). 의사 실행완료가 통지되면, 마스터 디바이스(11, 또는 12)는 다음 액세스(next access)를 시작할 수 있게 된다. 한편, 상기 404단계에서의 레이턴시 타임은 슬레이브 디바이스(21,22,23)의 각 레이턴시 타임 중 가장 긴 레이턴시 타임을 의미한다.

【보정대상항목】 식별번호 55

【보정방법】 정정

【보정내용】

한편, 도 5는 2개의 슬레이브 디바이스에 대해 도시하고 있으나, 슬레이브 디바이스의 수가 3개 이상인 경우에도 마찬가지로, 모든 슬레이브 디바이스가 동일한 레이턴시 타임을 가진 것처럼 보이도록, 커맨드를 지연시켜 전달하고, 레이턴시 타임만큼 소급하여 의사 실행완료통지를 통지하는 방법에 따른다. 외부에서 보이는 슬레이브 디바이스의 레이턴시 타임은 상기 각 슬레이브 디바이스가 갖는 레이턴시 타임 중 가장 긴 레이턴시 타임으로 통일된다. 레이턴시 타임을 통일시킴으로써 마스터 디바이스의 커맨드 출력시점과 데이터버스에서 데이터 전송시점을 잇는 직선의 기울기를 같게 만들 수 있고, 이에 따라 데이터버스에서 연속적인 데이터전송이 가능해지므로 전체적인 시스템 효율이 향상될 수 있다.